

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-9665

(P2009-9665A)

(43) 公開日 平成21年1月15日(2009.1.15)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 11/4096 (2006.01)</b>	G 1 1 C 11/34 3 5 4 R	5M024
<b>G 1 1 C 11/4091 (2006.01)</b>	G 1 1 C 11/34 3 5 3 C	
<b>G 1 1 C 11/4093 (2006.01)</b>	G 1 1 C 11/34 3 5 4 P	
	G 1 1 C 11/34 3 5 4 Q	

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願2007-171979 (P2007-171979)  
 (22) 出願日 平成19年6月29日 (2007. 6. 29)

(71) 出願人 500174247  
 エルピーダメモリ株式会社  
 東京都中央区八重洲2-2-1  
 (74) 代理人 100106909  
 弁理士 棚井 澄雄  
 (74) 代理人 100108578  
 弁理士 高橋 詔男  
 (74) 代理人 100138759  
 弁理士 大房 直樹  
 (74) 代理人 100140774  
 弁理士 大浪 一徳  
 (72) 発明者 利穂 吉郎  
 東京都中央区八重洲二丁目2番1号 エル  
 ピーダメモリ株式会社内

最終頁に続く

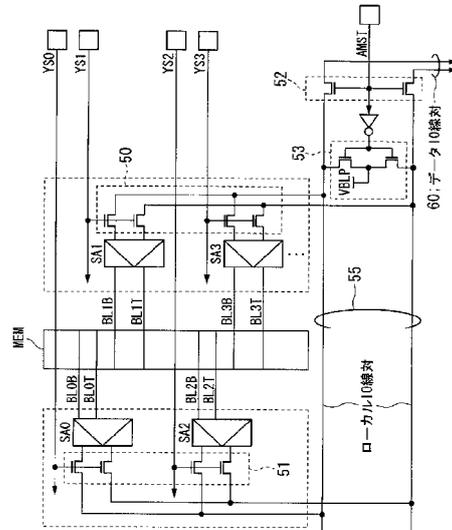
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】消費電流を増加させずにデータ10線及びデータアンプのプリチャージ速度を向上し、メモリへのデータの読出速度及び書込速度を高速化する半導体記憶装置を提供する。

【解決手段】半導体記憶装置は、メモリセルが接続された複数のビット線のいずれかを、入力されたカラムアドレスに対応して選択するカラム選択信号を生成するカラムデコーダと、複数のビット線対のいずれかと、メモリセルから読み出されたデータを外部に出力するデータ10線対とを、カラム選択信号により接続するビット線選択スイッチと、データ10線対の電圧差を増幅し、出力バッファへ読み出されたデータを出力するデータアンプと、データ10線に設けられるデータ10線スイッチと、データアンプ側以外のデータ10線対をプリチャージする10線プリチャージ回路と、データアンプ側の10線対をプリチャージするアンププリチャージ回路とを有する。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

メモリセルが接続された複数のビット線対のいずれかの組を、入力されたカラムアドレスに対応して選択するカラム選択信号を生成するカラムデコーダと、

複数のビット線対のいずれかの組と、メモリセルから読み出されたデータを外部に出力するデータ I/O 線対とを、前記カラム選択信号により接続するビット線選択スイッチと、

データ I/O 線対の電圧差を増幅し、出力バッファへ前記読み出されたデータを出力するデータアンプと、

前記データ I/O 線対を一方のデータ線対と、前記データアンプが接続される他方のデータ I/O 線対とし、前記一方のデータ I/O 線対と前記他方のデータ I/O 線対との間に設けられるデータ I/O 線スイッチと、

前記一方のデータ I/O 線対をプリチャージする I/O 線プリチャージ回路と、

前記他方のデータ I/O 線対をプリチャージするアンププリチャージ回路と

を有する半導体記憶装置。

**【請求項 2】**

データの読み出し期間において、

前記 I/O 線プリチャージ回路が、前記ビット線選択スイッチ及び前記データ I/O 線スイッチとの双方ともオフ状態の期間にて、前記一方のデータ I/O 線対のプリチャージを行うことを特徴とする請求項 1 記載の半導体記憶装置。

**【請求項 3】**

データの読み出し期間において、

前記アンププリチャージ回路が、前記データ I/O 線スイッチがオフ状態であり、前記ビット線選択スイッチがオン状態にて、前記他方のデータ I/O 線対のプリチャージを行うことを特徴とする請求項 1 または請求項 2 に記載の半導体記憶装置。

**【請求項 4】**

前記他方のデータ I/O 線対に接続され、前記メモリセルに書き込む際に入力されるデータを増幅するライトアンプをさらに有し、

データの書き込み期間において、

前記 I/O 線プリチャージ回路が、ライトアンプがイネーブル状態であり、前記データ I/O 線スイッチがオフ状態の期間にて、前記一方のデータ I/O 線対のプリチャージを行うことを特徴とする請求項 1 記載の半導体記憶装置。

**【請求項 5】**

前記 I/O 線プリチャージ回路において、

前記一方のデータ I/O 線対をプリチャージするトランジスタの閾値電圧が前記データ I/O 線スイッチのトランジスタの閾値電圧に比較して小さく設定されていることを特徴とする請求項 1 から請求項 4 のいずれかに記載の半導体記憶装置。

**【請求項 6】**

前記アンププリチャージ回路において、

前記他方のデータ I/O 線対をプリチャージするトランジスタの閾値電圧が前記データ I/O 線スイッチのトランジスタの閾値電圧に比較して小さく設定されていることを特徴とする請求項 1 から請求項 5 のいずれかに記載の半導体記憶装置。

**【請求項 7】**

前記 I/O 線プリチャージ回路、または前記アンププリチャージ回路によりプリチャージされるプリチャージ電圧が外部から供給される電源電圧より低く設定されていることを特徴とする請求項 1 から請求項 6 のいずれかに記載の半導体記憶装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、メモリセルが互いに独立して動作する複数のバンクに、メモリセルアレイを分割して高速なアクセスを行う半導体記憶装置に関する。

10

20

30

40

50

## 【背景技術】

## 【0002】

近年、D R A M (Dynamic Random access Memory) は、大容量化、高速化、低電力化が進み、特に要求の高いデータ転送速度の高速化に関してはD D R (Double Data Rate)、D D R - II及びD D R - IIIと新しい仕様が次々に提案されている。このような状況下において、メモリ内部の動作スピードを決めるカラムサイクルの高速化は、高速D R A Mのキーポイントである。

## 【0003】

次に、このようなD R A Mの構成について図9を参照して説明する。図9は一例として、1 GビットのD D R - II S D R A M (Synchronous Dynamic Random Access Memory) の構成を示すブロック図であり、複数のメモリセルからなるメモリセルアレイ (M C A) 8と、このメモリセルアレイ8のアドレスを指定するためのロウアドレスバッファX A B、カラムアドレスバッファY A B、ロウデコーダ (X D E C) 6、カラムデコーダ (Y D E C) 5と、カラム選択線 (Y S) 7、カラム選択スイッチ (Y S W) 8と、データの読み出し/書き込みを行うためのセンスアンプ (S A) 60、メインアンプM A (データアンプ)、出力バッファD O Bおよび入力バッファD I Bと、各制御信号のバッファR B、C B、W Bと、内部電圧発生回路V Gなどの周知の構成からなり、これらが周知の半導体製造技術によって1個の半導体チップ上に形成されて構成されている。

## 【0004】

このD R A Mには、外部からアドレス信号A iが入力され、ロウアドレスバッファX A B、カラムアドレスバッファY A Bによりロウアドレス信号、カラムアドレス信号が生成されて、それぞれロウデコーダ6、カラムデコーダ5を介してメモリセルアレイ8内の任意のメモリセルが選択される。

## 【0005】

カラムデコーダ5は、入力されたカラムアドレスに対応するカラム選択線 (Y S 信号) 7をアクティブにする。そして、カラムデコーダ5により生成されたカラム選択線7は、カラム選択スイッチ80 (Y S W) をオンさせることによりビット線とローカルI / O線 (L I O) を接続する制御を行っている。

## 【0006】

読み出し動作時には、センスアンプ60、ローカルI / O線 (L I O)、メインI / O線 (M I O)、サブアンプ、メインアンプM Aを介して、リードライトバスR W B S上にデータが送られ、最後に出力バッファD O Bから出力データD o u tが出力される。書き込み動作時には、入力データD i nが入力バッファD I Bから入力される。

## 【0007】

さらに、D R A Mの制御信号として、外部からロウアドレスストロブ信号 / R A S、カラムアドレスストロブ信号 / C A S、ライトイネーブル信号 / W EなどがそれぞれバッファR B、C B、W Bを介して入力され、これらの制御信号に基づいて、制御回路 (本実施形態における制御回路と同様) により、内部制御信号が生成され、この内部制御信号により内部回路の動作が制御される。また、内部電源系統は、外部から外部電源電位V D D、接地電位V S Sが入力され、内部電圧発生回路V Gにより、基板電位、昇圧電源電位、降圧電源電位などの各種内部電圧レベルが発生され、それぞれメモリセルアレイM C Aおよびその周辺回路などの内部回路に供給される。

## 【0008】

図10には、図9に示したようなメモリセルアレイ8内部の従来の構成例を示す。この図10では、1つのバンクをさらに分割した単位であるマット2つ分の回路構成が示されている。このマットには、カラムデコーダ5からのカラム選択線 (Y S) 7と、ロウデコーダ6からのマット活性化信号 (R C S E Q B) 50、サブワード線S W Lが接続されている。マット活性化信号50は、バンクをさらに分割した単位であるマットを活性化させるための信号である。そして、マット活性化信号50にはインバータ回路30が接続されていてマット活性化信号50とは論理が反転した信号がビット線プリチャージ信号 (B

10

20

30

40

50

LEQT) 40として出力される。ビット線プリチャージ 信号40は、ビット線(BLT、BLB)のプリチャージ およびセンスアンプ601、602内の共通ソース制御用の制御信号である。ここでは、ビット線プリチャージ 信号40は、ビット線のプリチャージ 停止を指示する際には「L」レベルとなる信号である。

【0009】

また、センスアンプ601、602は、ビット線(BLT、BLB)に読み出されたデータを増幅する。そして、センスアンプ601、602とローカルI/O線(LIO)の間には、カラム選択スイッチ(YSW)201~204が設けられており、これらのカラム選択スイッチ201~204は、カラム選択線(YS)7により制御されている。

【0010】

次に、図10に示したメモリセルアレイ内の動作について説明する。ここでは、図10に示された2つのマットのうち左側のマット内のセルの読み出しが行われる場合について説明する。

【0011】

まず、ロウアドレスを選択するためのACTコマンドが入力されると、バンクアドレスおよびロウアドレス(XA)から1本のマット活性化信号(RCSEQB)50が選択され「H」レベルとなる。すると、インバータ回路30から出力されるビット線プリチャージ 信号(BLEQT)40が「L」レベルとなってメモリセル信号読み出しが可能となる。

【0012】

続いてREADコマンドが入力されると、カラムデコーダ5から1本のカラム選択線7が選択される。そのため、選択されたカラム選択線7に接続された4つのカラム選択スイッチ801~804がオンし、ビット線対(BLT、BLB)データがセンスアンプ601、602により増幅されてローカルI/O線(LIO)に読み出される。

そして図3に示すように、データI/O線対(IOT, IOB)とデータアンプとが接続されており、このデータアンプにて増幅されたデータが出力バッファへ出力される。

【0013】

図10に示したような従来の半導体記憶装置におけるメモリセルでは、1本のカラム選択線7につながる4つのカラム選択トランジスタ801~804は、全て同時に活性化される。そのため、1本のカラム選択線7により制御されるマット数が増えると1本のカラム選択線7に接続されるカラム選択トランジスタの数も増加してカラム選択線7の負荷が大きくなり信号遅延が問題となる。

【0014】

上述した従来の半導体記憶装置では、1本のカラム選択線に接続されたカラム選択スイッチは全て同時に活性化されてしまうため、ビット線が多分割されると1本のデータI/O選択線が駆動するカラム選択スイッチ数が増加してしまいカラム選択線の負荷が大きくなり信号遅延が大きくなってしまいう問題点があった。

これを解決するため、ビット線、このビット線を束ねるローカルデータI/O線、このローカルデータI/O線と束ねるデータI/O線の構成とし、それぞれを選択する選択スイッチ数を削減し、各選択スイッチを制御する選択線の負荷を低下し、信号遅延量を低減させる構成がある(例えば、特許文献1参照)。

【特許文献1】特開2006-134469号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかしながら、上記特許文献1の半導体記憶装置は、選択スイッチを制御する選択線の負荷を低下させることにより、信号遅延を低減させることはできたが、データアンプ(DAMP)にて確定したデータを次段のデータラッチへ出力するまで、データI/O線のプリチャージが行えないため、データの読み出しに遅延が生じてしまう欠点がある。

すなわち、上述した従来例においては、図10にて各ビット線とローカルI/O線とデー

10

20

30

40

50

データIO線とが接続され、図11に示す構成にて、データIO線とデータアンプとが接続されており、図12に示すように、データIO線とデータアンプとのプリチャージを同時に行う必要があり、出力バッファ75にデータを出力している状態にて、すでにデータをデータアンプに伝達処理を終了したデータIO線のプリチャージが行えない。したがって、データアンプ70を非活性化する信号にてデータIO線60及びデータアンプ70のプリチャージを行うこととなり、次のデータを読み出すためのデータIO線対60のプリチャージ処理が遅れて、読み出しサイクルの高速化を律速することとなる。

#### 【0016】

また、近年、低消費電力駆動の半導体記憶装置においてもデータの転送レートの向上が望まれている。

半導体記憶装置のデータの読み出し単位であるビット数からなる語の構成が、 $\times 16 \times 32 \times 64$ と増加するにつれ、データIO線のプリチャージにおいて動作スピードのばらつきが負荷増加するに伴い、2倍、4倍となることで、ばらつきにおいて最も遅いプリチャージ速度にてプリチャージ時間が設定されることになり、データの読み出し動作速度に影響を与えている。

#### 【0017】

したがって、データ読み出しのクロックサイクルの律速要因として、図12に示す波形図に示すように、データアンプがイネーブルとなった後も、データIO線のプリチャージが終了しておらず、このデータIO線のプリチャージ動作の遅れにより、完全にプリチャージが完了する前に、データアンプにおけるデータIO線対の差電圧の増幅が行われることとなるため、データアンプ駆動時におけるデータIO線対の差電圧の減少がデータアンプの増幅動作のスピード低下につながる事となる。

さらに、プリチャージ前のIOデータ線対の差電圧によっては、不完全に前回の差電圧を解消できず、実際のデータとは異なるデータを出力する誤動作を起こす場合がある。

#### 【0018】

また、書き込みアンプの回路は図13に示す構成であり、データの書き込み時において、データIO線のプリチャージがライトアンプがイネーブル状態となる前に行われていたが、読み出し時と同様に、ライトアンプがイネーブルとなった時点においても、図14に示すように、完全にプリチャージが完了しておらず、書き込み速度の低下を招く原因となっている。ここで、YSW(Yスイッチ)をオンオフするYスイッチ信号Y0, Y1, Y2, Y3は、外部から入力される外部クロックCLK及びCASBと、カラムアドレスに基づいて、順次、図示しない制御回路から出力される。上記外部クロックCLKにより、読み出し動作及び書き込み動作の速度が決定される。

#### 【0019】

上述した問題を解決するため、データIO線に対するプリチャージの時間を短縮することを目的とし、プリチャージ用の電源の電圧を高くし、プリチャージ電流を増加させる方法もあるが、半導体装置の低消費電力が要求されているため、消費電流を増加させる手法を取ることはできない。

本発明は、このような事情に鑑みてなされたもので、消費電流を増加させずにデータIO線あるいはデータアンプのプリチャージ速度を向上し、メモリからのデータ読み出し速度あるいはメモリへのデータの書き込み速度を高速化する半導体記憶装置を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0020】

本発明の半導体記憶装置は、メモリセルが接続された複数のビット線対のいずれかの組を、入力されたカラムアドレスに対応して選択するカラム選択信号を生成するカラムデコーダと、複数のビット線対のいずれかの組と、メモリセルから読み出されたデータを外部に出力するデータIO線対とを、前記カラム選択信号により接続するビット線選択スイッチと、データIO線対の電圧差を増幅し、出力バッファへ前記読み出されたデータを出力するデータアンプと、前記データIO線対を一方のデータ線対と、前記データアンプが接

10

20

30

40

50

続される他方のデータI/O線対とし、前記一方のデータI/O線対と前記他方のデータI/O線対との間に設けられるデータI/O線スイッチと、前記一方のデータI/O線対をプリチャージするI/O線プリチャージ回路と、前記他方のデータI/O線対をプリチャージするアンプリチャージ回路とを有する。

【0021】

本発明の半導体記憶装置は、データの読み出し期間において、前記I/O線プリチャージ回路が、前記ビット線選択スイッチ及び前記データI/O線スイッチとの双方ともにオフ状態の期間にて、前記一方のデータI/O線対のプリチャージを行うことを特徴とする。

【0022】

本発明の半導体記憶装置は、データの読み出し期間において、前記アンプリチャージ回路が、前記データI/O線スイッチがオフ状態であり、前記ビット線選択スイッチがオン状態にて、前記他方のデータI/O線対のプリチャージを行うことを特徴とする。

10

【0023】

本発明の半導体記憶装置は、前記他方のデータI/O線対に接続され、前記メモリセルに書き込む際に入力されるデータを増幅するライトアンプをさらに有し、データの書き込み期間において、前記I/O線プリチャージ回路が、ライトアンプがイネーブル状態であり、前記データI/O線スイッチがオフ状態の期間にて、前記一方のデータI/O線対のプリチャージを行うことを特徴とする。

【0024】

本発明の半導体記憶装置は、前記I/O線プリチャージ回路において、前記一方のデータI/O線対をプリチャージするトランジスタの閾値電圧が前記データI/O線スイッチのトランジスタの閾値電圧に比較して小さく設定されていることを特徴とする。

20

【0025】

本発明の半導体記憶装置は、前記アンプリチャージ回路において、前記他方のデータI/O線対をプリチャージするトランジスタの閾値電圧が前記データI/O線スイッチのトランジスタの閾値電圧に比較して小さく設定されていることを特徴とする。

【0026】

本発明の半導体記憶装置は、前記I/O線プリチャージ回路、または前記アンプリチャージ回路によりプリチャージされるプリチャージ電圧が外部から供給される電源電圧より低く設定されていることを特徴とする。

30

【発明の効果】

【0027】

以上説明したように、本発明によれば、データI/O線対を一方のデータI/O線対と、データアンプ側に接続される他方のデータI/O線対とし、一方のデータI/O線対と他方のデータI/O線対との間にデータI/O線スイッチを設けたため、一方のデータI/O線対のプリチャージ回路と、他方のデータI/O線対のプリチャージ回路とにプリチャージを分離して設けることができ、読み出し時において、データアンプ側である他方のデータI/O線対のプリチャージが完了される前に、一方のデータI/O線対に対してビット線からデータを読み込むことができ、データの読み出し処理を高速化することができる。

また、本発明によれば、上記I/Oセンス一致を設けたため、データアンプが出力バッファにデータを出力している時点にて、部分的にデータI/O線のプリチャージを開始することができ、読み出し時において、データ出力が完了するまえに、ビットラインから次のデータを読み出すためのデータI/O線のプリチャージが行えるため、データの読み出し処理を高速化することができる。

40

【0028】

すなわち、本発明によれば、独立に先行して次の読み出しに必要な動作を行うことができ、データの読み出しの高速化を行うことができる。

また、本発明によれば、さらに、プリチャージを行うトランジスタの閾値電圧を、データI/O線スイッチのトランジスタに比較して小さくしたため、プリチャージ電圧を上記閾値電圧分低下させることができるため、すでに述べたデータの読み出しの高速化と低消費

50

電力化とを両立させて実現することができる。

【発明を実施するための最良の形態】

【0029】

以下、本発明の一実施形態による半導体記憶装置を図面を参照して説明する。半導体記憶装置の全体構成については、すでに説明した図9と同様である。図1は同実施形態によるメモリセルアレイの構成例を示すブロック図である。

この図においてメモリセル領域MEMにおいて、メモリセルが接続されたビット線対BL1T/BL1BがセンスアンプSA1に接続され、ビット線対BL3T/BL3BがセンスアンプSA3に接続され、ビット線対BL0T/BL0BがセンスアンプSA0に接続され、ビット線対BL2T/BL2BがセンスアンプSA2に接続されている。

10

【0030】

そして、ビット線選択スイッチ50及び51（例えば、Nチャネル型MOSトランジスタにより構成されたYスイッチ：カラム選択スイッチ）により、上述した複数のビット線対のいずれかを、ローカルIO線対55に接続する。ローカルIO線対には、それぞれのローカルIO線のプリチャージを行うプリチャージ回路53が設けられている。このビット線選択スイッチ50及び51を制御する信号YS0～YS4（カラム選択線）は、入力されるカラムアドレスからカラムデコーダにより生成される。

複数のローカルIO線対55のいずれかをデータIO線60に接続するローカルIO線選択スイッチ52（例えば、Nチャネル型MOSトランジスタにより構成）が設けられている。ローカルIO線対55を選択する信号AMSTは、入力されるロウアドレスからロウデコーダにより生成されたマツト選択の選択を行うマツト活性化信号である。ここで、マツトとはロウアドレスの1部を用いバンクを複数の領域に分割したメモリセル領域である。

20

【0031】

次に、図2を用いて本実施形態におけるデータIO線とデータアンプとの回路構成を説明する。図2は、本実施形態による図1のデータIO線とデータアンプとの接続構成を示す回路図である。

データIO線は、データIO線対60とデータIO線スイッチ71により接続されるデータアンプ側に接続されるデータアンプ側データIO線対とからなり、データIO線対60からデータアンプ70側のデータIO線対を通じてデータアンプ70に対してデータを伝達する際、データIO線対60とデータアンプ70側のデータIO線対とを接続、それ以外の期間において分離することができる構成となっている。

30

【0032】

また、データIO線対60には、データIO線60T及びデータIO線60Bそれぞれにおいて、データIO線対60のプリチャージを行うプリチャージ回路72が設けられている。一方、データアンプ70側のデータIO線対にも、データIO線スイッチ71によりデータアンプ70側データIO線対をプリチャージするアンププリチャージ回路73が設けられている。

この構成により、データIO線スイッチ71をオフ状態にすることで、データIO線対60とデータアンプ70側データIO線対とを別々のタイミングにてそれぞれ独立にプリチャージすることができる。

40

したがって、データIO線対60にビット線対からデータを伝達している際に、データアンプ70側データIO線対のプリチャージを行い、データIO線対60からデータアンプ70に対してデータを伝達した後に、このデータIO線対60のプリチャージを行う動作を繰り返すことにより、データIO線60のプリチャージの開始タイミングを従来に比較して早くすることができ、全体的なデータの読み出し速度を高速化することができる。

【0033】

スイッチ制御回路76は、プリチャージ信号CDAP及び制御信号CDAEにより、データアンプ70側データIO線対のプリチャージを行うアンププリチャージ回路73を活性化するプリチャージ信号CFAPの生成と、データIO線スイッチ71をオンオフ制御する制御信号

50

とを生成する。

スイッチ制御回路76は、プリチャージ信号CDAP及び制御信号CDAEがともに「L」レベルのときのみ、データ線IOスイッチ71オン状態とする制御信号を出力する。また、スイッチ制御回路76は、プリチャージ信号CDAPが「H」レベル、かつ制御信号CDAEが「L」レベルのときのみ、アンブプリチャージ回路73を活性化するプリチャージ信号CFAPを出力する。

【0034】

また、IO線プリチャージ回路72は、pチャネル型MOSトランジスタ（以下、p型トランジスタ）721及び722にて構成されているが、このp型トランジスタ721及び722の閾値電圧は、IO線プリチャージ回路72以外の他の回路、例えばデータIO線スイッチ71を構成するp型トランジスタと比較して低く設定されている。

これにより、プリチャージ用の電圧V<sub>IOP</sub>を増加させなくとも、逆に、外部から供給される電源電圧を降圧電源電圧として、プリチャージ用の電圧V<sub>IOP</sub>を従来に比して低下させることによりデータIO線のプリチャージにおける充放電電流を削減し、消費電流を低減することができる。

そして、プリチャージ電圧V<sub>IOP</sub>を低下させたとしても、閾値電圧が低く設定されているため、プリチャージ信号CF<sub>IOD</sub>が「L」レベルに変化する過渡期において、他のp型トランジスタと比較して早いタイミングにてオン状態となり、高速にプリチャージが開始され、プリチャージ電流も増加するため、従来に比較して高速にデータIO線対60のプリチャージを行うことができる。

【0035】

同様に、アンブプリチャージ回路73は、pチャネル型MOSトランジスタ（以下、トラp型トランジスタ）731、732及び733にて構成されているが、このp型トランジスタ731及び732の閾値電圧は、アンブプリチャージ回路73以外の他の回路、例えばデータIO線スイッチ71を構成するp型トランジスタと比較して低く設定されている。p型トランジスタ733は、イコライズ機能を持たせるのみであるため、データIO線スイッチ71を構成するp型トランジスタと同様の閾値電圧に設定されている。

これにより、プリチャージ用の電圧V<sub>IOP</sub>を増加させなくとも、プリチャージ信号CFAPが「L」レベルとなると他のトランジスタと比較して高速にプリチャージが開始され、プリチャージ電流も増加するため、従来に比較して高速にデータアンブ70側データIO線対のプリチャージを行うことができる。

【0036】

次に、図2及び図3を用いて本実施形態によるメモリセルからのデータの読み出し処理の動作を説明する。図3は本実施形態におけるメモリセルからのデータの読み出し処理の動作例を示すシミュレーションから得た波形図（後述する図5も同様）である。

ここで、図示しない制御回路が制御信号であるロウアドレスストロープ信号/RAS、カラムアドレスストロープ信号/CAS（図におけるCASB）、ライトイネーブル信号/WE、アドレス（カラムアドレス及びロウアドレス）及び外部クロックCLK等により、プリチャージ信号CF<sub>IOD</sub>、データアンブのプリチャージ信号CDAP、データアンブを起動する（活性化する）制御信号CDAEを生成している。カラムアドレスストロープ信号/CAS及び外部クロックCLKにより、制御回路にてYS信号が生成されている。この外部クロックCLKにより半導体記憶装置の動作速度が決定される。下記時刻t1の直前において、プリチャージ信号CF<sub>IOD</sub>は「H」レベルであり、プリチャージ信号CDAPB（上記プリチャージ信号CDAPの反転信号）が「H」レベルであり、制御信号CDAEが「L」レベルである。この時点においては、データIOスイッチ71はオフ状態となっている。以下、外部クロックCLKが入力される毎に、制御回路はカラムアドレスに対応してYS信号YS0、YS1、YS2及びYS3を出力する。

【0037】

時刻t1において、上記制御回路は、制御信号CDAEを「L」レベルから「H」レベルに遷移させ、データアンブ70を活性化させ、データアンブ70から出力バッファ75にデ

10

20

30

40

50

ータを出力させる。

これにより、出力バッファ75は、データアンプ70から入力されたデータを、出力データCRDとして図示しないデータ入出力パッドに対して出力する。

時刻t2において、制御回路は、プリチャージ信号CFIODを「H」レベルから「L」に遷移させ、I/O線プリチャージ回路72の各p型トランジスタをオン状態とし、データI/O線対60のプリチャージを開始する。

【0038】

時刻t3において、制御回路は、プリチャージ信号CDAPBを「H」レベルから「L」レベルに遷移させる。これにより、プリチャージ信号CFAが「H」レベルから「L」レベルとなり、アンププリチャージ回路73の各p型トランジスタがオン状態となり、データアンプ70側データI/O線対に対するプリチャージが開始される。

10

時刻t4において、制御回路は、制御信号CDAEを「H」レベルから「L」レベルに遷移させ、データアンプ70を非活性化する。

【0039】

時刻t5において、制御回路は、プリチャージ信号CFIODを「L」レベルから「H」レベルに遷移させ、I/O線プリチャージ回路72の各p型トランジスタをオフ状態とし、データI/O線対60のプリチャージ動作を終了する。このプリチャージの時間は予め設計段階においてプリチャージ電圧となる時間に設定されている。この際、いずれかのビット線からローカルI/O線55を介して、データI/O線60にメモリセルから読み出したデータが伝達される。

20

【0040】

時刻t6において、制御回路は、プリチャージ信号CDAPBを「L」レベルから「H」レベルに遷移、すなわち、プリチャージ信号CDAPを「H」レベルから「L」レベルに遷移させる。これにより、アンププリチャージ回路73の各p型トランジスタがオフ状態となり、データアンプ70側データI/O線対に対するプリチャージが終了する。

また、制御信号SONが「H」レベルから「L」レベルに遷移し、データI/O線スイッチ71はオフ状態からオン状態に遷移し、データI/O線対60とデータアンプ70側データI/O線対とがデータI/O線スイッチ71を介して接続され、データI/O線対60のデータがデータアンプ70に伝達される。

【0041】

30

時刻t7において、制御回路は、制御信号CDAEを「L」レベルから「H」レベルに遷移させる。これにより、制御信号SONが「L」レベルから「H」レベルに遷移し、データI/O線スイッチ71はオン状態からオフ状態に遷移し、データI/O線対60とデータアンプ70側データI/O線対とが分離される。

また、データアンプ70は制御信号CDAEが「H」レベルとなることにより、活性状態となり、時刻t6にてデータI/O線対60から伝達されたデータの電圧差の増幅処理を行い、結果を出力バッファ75へ出力する。

【0042】

時刻t8において、制御回路はプリチャージ信号CFIODを「H」レベルから「L」レベルに遷移させ、データI/O線対60の各データI/O線60T, 60Bのプリチャージを行う。この時点においては、データアンプ70は出力バッファ75に対して増幅したデータを出力している状態にある。

40

時刻t9において、制御回路はプリチャージ信号CFIODを「L」レベルから「H」レベルに遷移させ、データI/O線対60の各データI/O線60T, 60Bのプリチャージを終了する。

時刻t10において、時刻t4にて述べたように、制御回路は御信号CDAEを「H」レベルから「L」レベルに遷移させ、データアンプ70を非活性化させるとともに、データアンプ70側データI/O線対のプリチャージを行う。

以降の動作は、時刻t4から時刻t10の繰り返しとなるため、説明を省略する。

【0043】

50

次に、図4を用いて本実施形態におけるデータIO線とライトアンプとの回路構成を説明する。図4は、本実施形態による図1のデータIO線とライトアンプとの接続構成を示す回路図である。

この図4に示すライトアンプ80において、外部からメモリセルに書き込むデータをデータIO線に伝達する前に、データIO線対60に対するプリチャージを行う必要がある。

そして、データIO線60に対するプリチャージ処理時間は、データアンプ70における場合と同様に、書き込みサイクルを高速化するために、短縮する必要がある。

そのため、上記ライトアンプ80におけるデータIO線対60に対してプリチャージを行うp型トランジスタ81及び82は、すでに述べたp型トランジスタ721、722、731、732と同様の低い閾値電圧に設定されている。

10

#### 【0044】

これにより、書き込み時における図4のライトアンプの動作を示す図5の波形図から判るように、ライトアンプ80を活性化する制御信号CWAEが「H」レベルから「L」レベルとなり、非活性化されてプリチャージにより、データIO線がプリチャージ電圧となる期間が従来に比較して短縮化されていることが判る。この図5において、カラムアドレスストロブ信号/CAS及び外部クロックCLKにより、制御回路にてビット線を選択するYスイッチを制御するYS信号が生成されている。この外部クロックCLKにより半導体記憶装置の動作速度が決定される。以下、外部クロックCLKが入力される毎に、制御回路はカラムアドレスに対応してYS信号YS0、YS1、YS2及びYS3を出力する。

20

また、同様に、ライトアンプをイネーブル状態とする制御信号CWAEが制御回路から出力されている。

そして、プリチャージに使用されるp型トランジスタの閾値電圧が低く設定されているため、制御信号CWAEが「H」レベルから「L」レベルに変化する過渡期において、通常の閾値電圧のp型トランジスタより早いタイミングにてオン状態となるため、データIO線対60のプリチャージ開始を早くすることができ、閾値電圧を低下させているためオン抵抗も低下して高速なプリチャージを行うことができ、書き込みサイクルを高速化することができる。

#### 【0045】

上述した本実施形態において、プリチャージに用いるプリチャージ電圧V<sub>IOP</sub>を、p型トランジスタの閾値電圧を低下させた分、外部からの電源電圧に対して低く設定することができる。

30

これにより、データIO線のプリチャージ電圧V<sub>IOP</sub>を内部発生により、外部電圧より低下させることにより、データIO線のプリチャージにおける充放電電流を削減することができ、消費電流を低減することができる。したがって、本実施形態においては、データIO線のプリチャージと、データアンプ70側データIO線対のプリチャージとを独立に行うことにより、データIO線のプリチャージのタイミングを早く行うことができ、読み出しサイクルの高速化を実現することができ、かつプリチャージを行うp型トランジスタの閾値電圧を低下させたため、プリチャージ期間を短縮することが可能となり、プリチャージに使用する電圧を従来に比して低下させても十分に、データの書き込み及び読み出しを高速化することができる。

40

#### 【0046】

また、図6に本実施形態における従来あるいは本実施形態の回路にて一般的に用いられているp型トランジスタの特性と、これらに比較して低い閾値電圧のp型トランジスタの特性との電気特性を示すテーブルを示す。測定条件としてはトランジスタ幅W = 10 μmであり、温度T = 25 °Cであり、電源電圧1.8Vである。

ゲート長L<sub>g</sub>において、本実施形態における通常のp型トランジスタが0.32 μmであり、低い閾値電圧のp型トランジスタが0.38 μmである。閾値電圧において、本実施形態における通常のp型トランジスタが0.48Vであり、低い閾値電圧のp型トランジスタが0.29Vである。オン電流において、本実施形態における通常のp型トランジスタ

50

が 2.09 mA であり、低い閾値電圧の p 型トランジスタが 2.23 mA である。

【0047】

次に、図 7 は、リードサイクル tCK (RD) の従来製品と本実施形態との比較を示すテーブルである。測定条件としては AW モデルであり、温度 T = -25 であり、電源電圧 1.6 V である。

PREoff はデータ IO 線のプリチャージが行われていない時間を示しており、データ IO 線とデータアンプ 70 側データ IO 線対とのプリチャージを別々に独立に行うため、従来製品に比較して本実施形態における期間が短くなっていることが判る。

また、「データアンプ内の比較端子間の電圧差 < 10 mV」は、プリチャージ信号が入力されてから、データアンプ 70 側データ IO 線対に接続される端子 Z D A D T 2 と端子 Z D A D N 2 との電位差が 10 mV 以下となる時間を示しており、プリチャージを行う p 型トランジスタの閾値電圧を低下させたため、従来製品に比較して高速化されていることが判る。

PREoff の時間と「データアンプ内の比較端子間の電圧差 < 10 mV」の時間とを加算した時間が、読み出しサイクル tCK (DAMP) となり、本発明の読み出しサイクルが高速化していることが判る。

【0048】

次に、図 8 はライトサイクル tCK (WR) の従来製品と本実施形態との比較を示すテーブルである。

「YS」は YS 信号のパルス幅を示しており、この数値は従来製品も本実施形態も同様である。

LIO < 10 mV は YS 信号が「H」レベルから「L」レベルに変化してから、データ IO 線対におけるデータ IO 線 60 T 及び 60 B の電位差が 10 mV 以下となる時間を示しており、プリチャージを行う p 型トランジスタの閾値電圧を低下させたため、従来製品に比較して高速化されていることが判る。

【図面の簡単な説明】

【0049】

【図 1】本発明の一実施形態による半導体記憶装置におけるビット線、ローカル IO 線及びデータ IO 線の構成例を示すブロック図である。

【図 2】本発明の一実施形態による半導体記憶装置におけるデータ IO 線とデータアンプとの構成を示す回路図である。

【図 3】読み出し時における図 2 の回路の動作例を示す波形図である。

【図 4】本発明の一実施形態による半導体記憶装置におけるデータ IO 線とライトアンプとの構成を示す回路図である。

【図 5】書き込み時における図 4 の回路の動作例を示す波形図である。

【図 6】本実施形態と従来例の p チャネル型 MOS トランジスタの特性比較を示すテーブルである。

【図 7】本実施形態と従来例の読み出しサイクル tCK (RD) の比較を示すテーブルである。

【図 8】本実施形態と従来例の書き込みサイクル tCK (WR) の比較を示すテーブルである。

【図 9】半導体記憶装置のチップにおけるメモリセルアレイ及びそれに対するデータ 8 の読み出し書き込みを行う構成例を示すブロック図である。

【図 10】従来のメモリセル領域の回路を示す概念図である。

【図 11】従来の半導体記憶装置におけるデータ IO 線とデータアンプとの構成を示す回路図である。

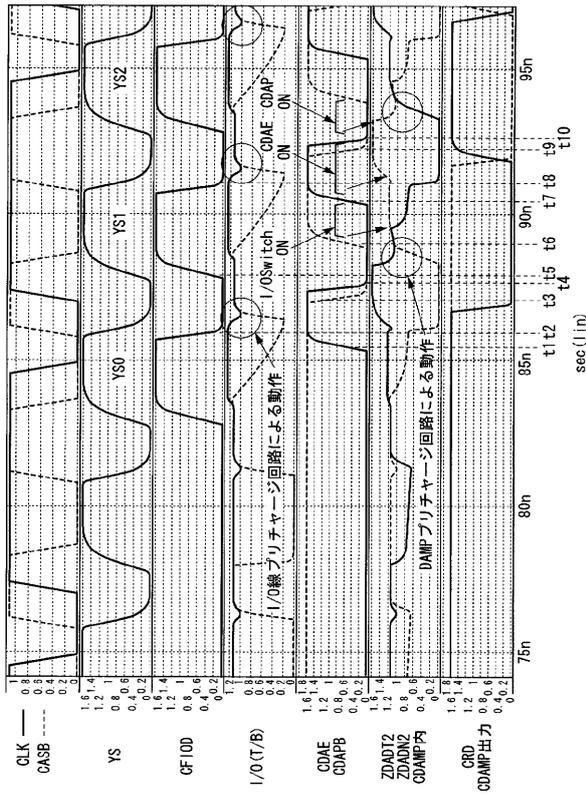
【図 12】読み出し時における図 11 の回路の動作例を示す波形図である。

【図 13】従来例による半導体記憶装置におけるデータ IO 線とライトアンプとの構成を示す回路図である。

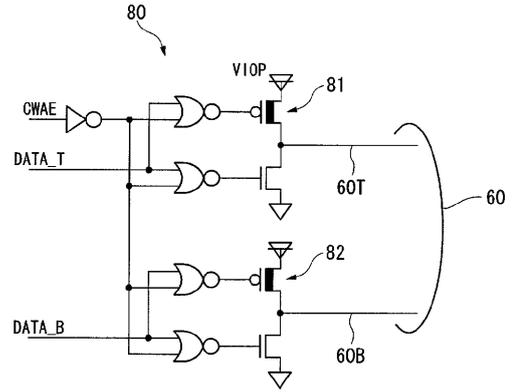
【図 14】書き込み時における図 13 の回路の動作例を示す波形図である。



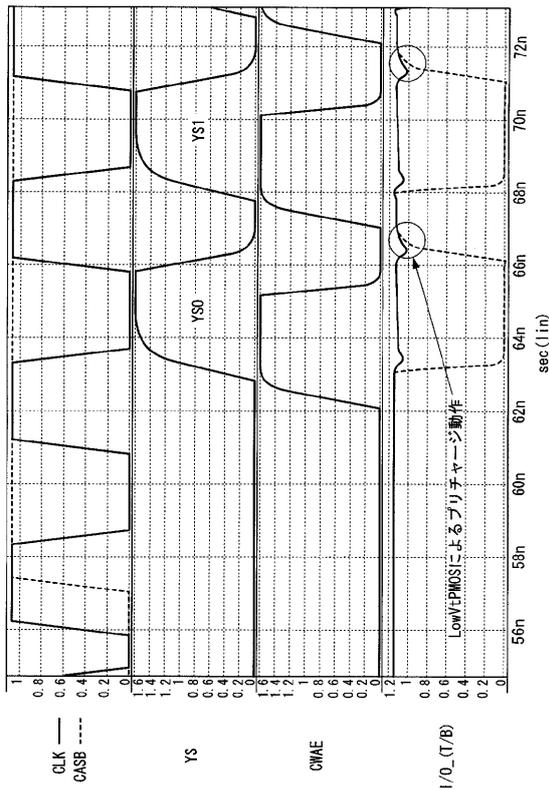
【図3】



【図4】



【図5】



【図6】

PMOS TR. (W=10um, T=25C, 1.8V系)

	従来製品	本発明
Lg	0.32um	0.38um
Vt (1uA)	0.48V	0.29V
Ion	2.09mA	2.23mA

【図7】

AWモデル, T=-25C, VDD=1.6V  
tCK (RD) ns

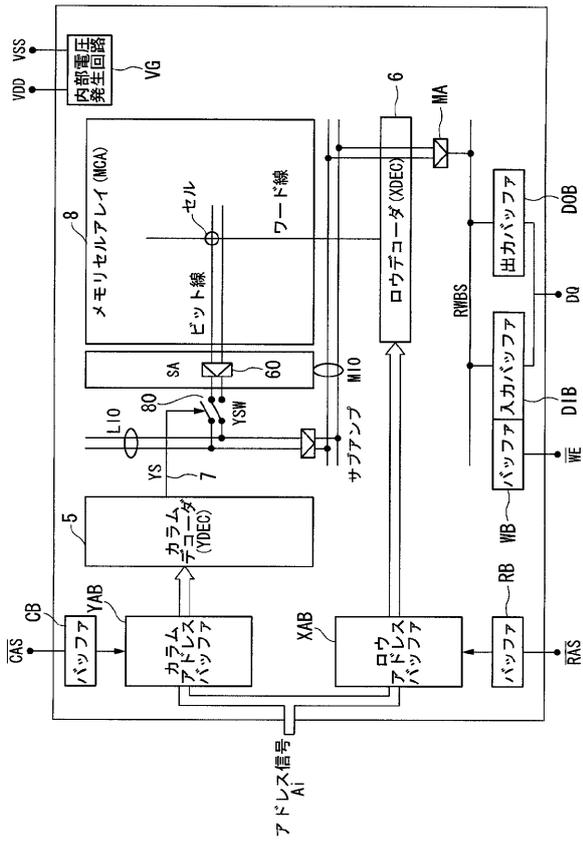
	従来製品	本発明
PREoff	3.92	3.69
データアンプの端子<10mV	1.71	0.83
tCK (DAMP)	5.63	4.52

【図8】

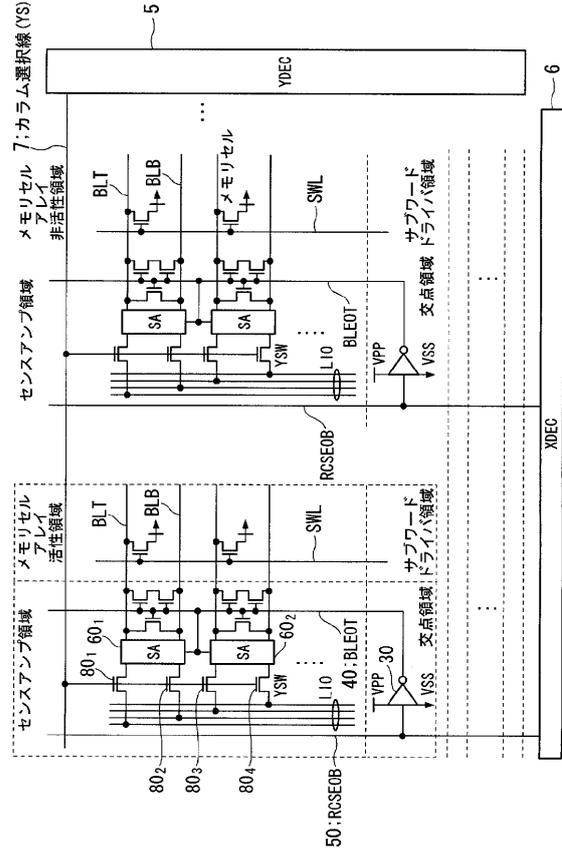
AWモデル, T=-25C, VDD=1.6V  
tCK (WR) ns

	従来製品	本発明
YS ↓	2.22	2.22
L10<10mV	2.47	0.76
tCK (WR)	4.69	2.98

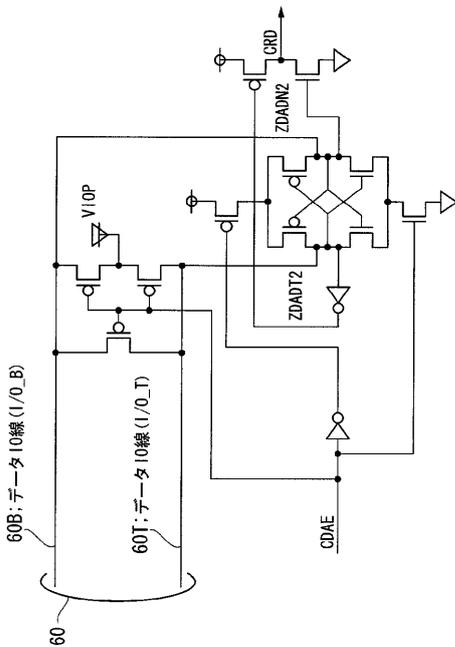
【 図 9 】



【 図 10 】

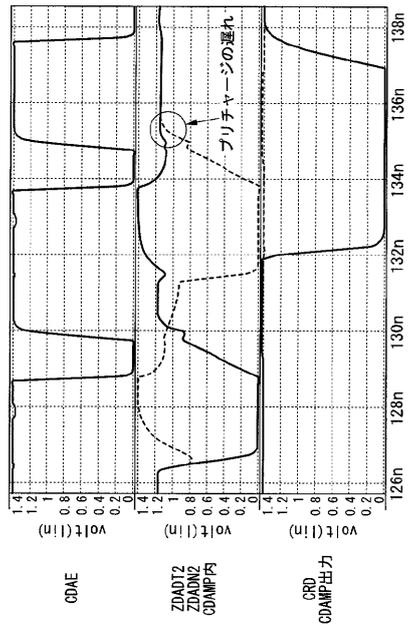


【 図 11 】



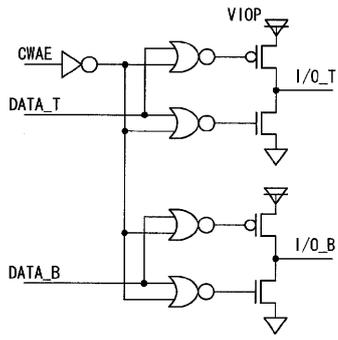
従来製品のDAMP回路図

【 図 12 】



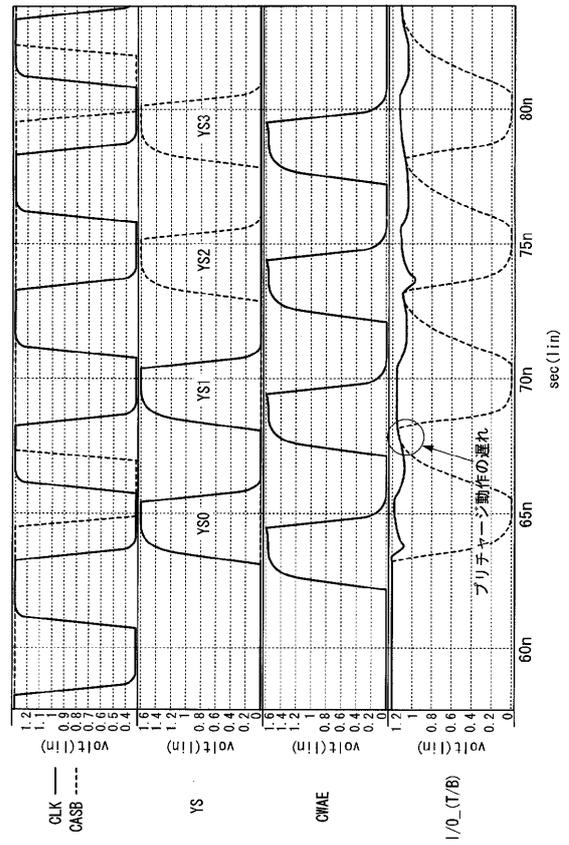
従来製品のリード、シミュレーション波形図

【 図 1 3 】



従来製品のWAMP回路図

【 図 1 4 】



従来製品のライト、シミュレーション波形図

---

フロントページの続き

(72)発明者 大石 隼人

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 原口 嘉典

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 松井 義徳

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

Fターム(参考) 5M024 AA04 AA46 BB03 BB04 BB15 DD09 DD13 DD14 PP01 PP02  
PP03 PP07